

reference 1 describe the following invention:

A semiconductor integrated circuit including:

reference potential conversion circuits (“internal voltage generating circuits 21, 23,...”) which output a plurality of internal reference potentials (voltages “Vref 3” generated by “internal voltage generating circuits 21, 23, ...” in FIGS. 1 and 4), respectively, based on an external reference potential (voltage “Vref2” generated by “reference voltage generating circuit 31” in FIGS. 1 and 3); and

input circuits (designed by reference numerals 11, 13, 15, 17 and 19, and whose circuit diagram is shown in FIG. 2) which output judgment results (“VOUT”) of comparison/judgment of input signals (“VIN” and “ef3”) using the output potentials (“Vref3”) from the reference potential conversion circuits as reference potentials.

It is considered that there is no remarkable difference between the invention recited in claim 1 of the present application (in particular, the invention of claim 1 wherein “n” = 2) and the above-mentioned invention described in reference 1.

(As for the invention of claim 1 wherein “n” >3, because it is considered that there is no remarkable structural difference that does not fall under the category of design matters conceivable by a person with

ordinary skill in the art as needed between it and the invention described in reference 1, it is considered that the invention of claim 1 wherein “ $n \geq 3$ ”, too, could have been made easily by a person with an ordinary skill in the art based on the invention described in reference 1.)

Re: Claim 2

References 1 and 2 are applicable.

It is considered that claim 1 recites the relationship between VREFi and VREF that exists when a circuit whose structure is like the one described in FIG. 9 is employed as a “reference potential conversion circuit.”

However, as described in FIG. 4 and the explanations (paragraphs [0052] to [0057]) in reference 2, generally speaking, it is extremely well-known art to a person with ordinary skill in the art to use a circuit that uses an operational amplifier (45) and a resistance element (11) (in other words, a circuit whose structure is the same as that of the circuit described in FIG. 9 of the present application) to produce, based on a reference voltage, a voltage different from the reference voltage.

Moreover, it is not considered particularly difficult to apply this well-known art to the invention described in reference 1 (in other words, to employ the circuit described in FIG. 4 of reference 2 instead of the circuit described in FIG. 4 of reference 1 as the concrete circuit structure of “international voltage generating circuits 21, 23, ...” described in FIG. 1 of

reference 1). Therefore, it is considered that the invention recited in claim 2 of the present application could have been made easily by a person with ordinary skill in art based on the invention described in reference 1 and the well-known art described in reference 2.

Re: Claim 3

References 1 and 3 are applicable.

It is considered that claim 3 recites the relationship between $VREF_i$ and $VREF$ that exist when a circuit having structure like the one described in FIG. 2 is employed as a “reference potential conversion circuit.”

However, as described in FIG. 1 of reference 3 (see that the voltage dividing circuit comprising resistance elements R_1 , R_2 , R_3 and R_4 produces a desired voltage “ $VREF_A$ ” from a “reference potential”), generally speaking, it is extremely well-known art to a person with ordinary skill in the art to employ a voltage dividing circuit that uses resistance elements, as in the embodiment shown in FIG. 2 of the present application, to produce, based on a reference voltage, a voltage different from the reference voltage.

Moreover, it is not considered particularly difficult to apply this well-known art to the invention described in reference 1 (in other words, to employ the circuit described in FIG. 1 of reference 2 instead of the circuit described in FIG. 4 of reference 1 as the concrete circuit structure of “reference potential conversion circuits 21, 23,...” in FIG. 1 of reference 1).

Therefore, it is considered that the invention recited in claim 3 of the present application could have been made easily by a person with ordinary skill in the art based on the invention described in reference 1 and the well-known art described in reference 3.

Re: Claim 4

References 1–3 are applicable.

It is considered that the recitation of claim 4 is based on the description in paragraph [0048] in the specification of the present application.

In other words, it is considered that the “reference potential conversion circuit” recited in claim 4 of the present application is a circuit produced by combining the conversion circuits disclosed in FIGS. 2 and 9 of the present application.

However, as stated above, the circuits disclosed in FIGS. 2 and 9 of the present application are circuits of well-known art, as they are described in references 3 and 2, respectively.

Moreover, because it is not considered particularly difficult to combine these circuits of well-known art, it is considered that the invention recited in claim 4 of the present application could have been made easily by a person with ordinary skill in the art by applying both the well-known circuit described in reference 2 and the well-known circuit described in

reference 3 to the invention described in reference 1.

Re: Claim 5

References 1 and 2 are applicable.

The invention recited in claim 5 of the present application is considered different from the invention described in (FIGS. 1–4 of) reference 1 in the following respect:

The conversion operation by the “reference potential conversion circuit” in the invention recited in claim 5 of the present application is controlled based on data stored in the “storage circuit,” whereas reference 1 does not disclose that the conversion operation of the voltage conversion circuit described in FIG. 4 is controlled based on data stored in some kind of storage means.

However, as described in FIG. 4 of reference 2, generally speaking, it is extremely well-known and commonly used art to control conversion operation of a voltage conversion circuit based on data stored in a storage means (“register 44”).

Because it is not considered particularly difficult to apply this art to the invention described in reference 1, it is considered that the invention recited in claim 5 of the present application could have been made easily by

a person with ordinary skill in the art based on the invention described in reference 1 and the well-known art described in reference 2.

Re: Claim 6

References 1, 2 and 4 are applicable.

The invention recited in claim 6 of the present application is considered different from the invention described in (FIGS. 1–4 of) reference 1 in the following respect:

The conversion operation of the “reference potential conversion circuit” in the invention recited in claim 6 of the present application is based on data stored in the “laser blow fuse,” whereas reference 1 does not disclose that the conversion operation of the voltage conversion circuit described in FIG. 4 is controlled based on data stored in some kind of storage means.

However, as stated above, FIG. 4 of reference 2 describes the common technique of conversion operation by a voltage conversion circuit based on data stored in a storage means (“register 44”). Moreover, as described in FIG. 2 and paragraphs [0036] and [0043] of reference 4, it is extremely well-known technique to employ, as a storage means, a storage means formed using a fuse that is blown by laser light.

Because it is not considered particularly difficult to apply these well-known techniques to the invention recited in reference 1 (in other words, to employ the circuit described in FIG. 4 of reference 2 as the concrete structure of the “internal voltage generating circuits 21, 23,...” described in FIG. 1 of reference 1, and at the same time, to employ a storage means formed using a fuse like the one described in reference 4 instead of the “register 44” in FIG. 4 of reference 2), it is considered that the invention recited in claim 6 of the present application could have been made easily by a person with ordinary skill in the art based on the invention described in reference 1 and the well-known art described in each of references 2 and 4.

Re: Claims 7 and 8

References 1, 2, 4 and 5 are applicable.

Generally speaking, it is extremely well-known and commonly used art to employ a “current-blowout-type fuse” or an “insulating-film-destruction-type fuse” as a fuse.

(If necessary, refer to FIG. 9 and the description in column 8 of reference 2, and FIGS. 4–6 and columns 3–5 of reference 5.)

Re: Claim 9

References 1 and 2 are applicable.

Like the present invention, data stored in the storage means

(“register 44”) used in the device described in FIG. 4 of reference 2 is rewritable by a rewriting means (“S/P conversion circuit 44a”).

Re: Claim 10

Reference 1 is applicable.

The input circuit in the invention described in reference 1 (“input circuit 11”; refer to FIG. 2) performs a comparison operation at edge timing of clock signal “ Φ .”

Re: Claim 11

Reference 1 is applicable.

FIGS. 1–4 and the explanations (paragraphs [0045] to [0065]) of reference 1 describe the following invention:

A plurality of semiconductor integrated circuits, each of which has a reference potential conversion circuit (for example, the one designated by reference numeral 21) that outputs an internal reference potential based on an external reference potential (“Vref2”), and an input circuit (11) that compares/judges, using an output potential (“Vref3”) of the reference potential conversion circuit as a reference potential, an input signal (“VIN”) and the reference potential (“Vref3”), and outputs a judgment result.

(As is clear from FIG. 1, in addition to the pair of semiconductor

devices “input circuit 11” and “internal potential generating circuit 21,” a plurality of semiconductor devices such as the pair of semiconductor devices 13 and 23 and the pair of semiconductor devices 15 and 25 are provided in the “semiconductor device 1000.”)

Therefore, the invention recited in claim 11 of the present application is considered different from the invention described in reference 1 in the following respects:

(1) In the invention of claim 11 of the present application, a plurality of semiconductor devices are mounted on a “motherboard,” whereas reference 1 has no such description.

(2) “Input/output terminal areas,” “data signal lines” and “external reference signal lines” are provided on the “motherboard” in the invention of claim 11 of the present application, whereas reference 1 of course does not have such description.

The above-stated differences will be discussed.

(1) Generally speaking, it can be said without having to cite any references that it is an extremely well-known and commonly used technique to mount semiconductor devices on a motherboard.

(2) It too is an extremely well-known and commonly used technique to provide input/output terminals and signal lines for supplying

semiconductor devices with signals input to the input/output terminals on a motherboard.

Because it is not considered particularly difficult to apply the above-stated well-known art to the invention of reference 1, it is considered that the invention recited in claim 11 of the present application could have been made easily by a person with ordinary skill in the art based on the invention described in reference 1.

If a new reason for rejection is noticed, a further Official Action will be issued.

.....

Prior Art Search Report

Searched Field: IPC 7th ed.

H03K 19/00

Prior-Art Documents:

- Japanese Patent Application KOKAI Publication No. 57-31252 (Refer to FIGS. 2 and 3. This is a prior art document relevant to the embodiment shown in FIG. 8 of the present application.)

- Japanese Patent Application KOKAI Publication No. 53-87185 (Refer to FIG. 1. This is a prior art reference relevant to resistances 50–52 and switches 47–49 in FIG. 11 of the present application.)
- Japanese Patent Application KOKAI Publication No. 6-302775 (Refer to the “Abstract” section on the first page. This is a prior art document relevant to claim 8 of the present application.)

These documents do not constitute the reasons for rejection.

整理番号:46B0041041 発送番号:319302 発送日:平成15年 9月 9日 1

拒絶理由通知書

特許出願の番号	特願 2 0 0 0 - 1 8 8 8 5 7
起案日	平成 1 5 年 9 月 5 日
特許庁審査官	彦田 克文 9 1 8 2 5 X 0 0
特許出願人代理人	外川 英明 様
適用条文	第 2 9 条第 2 項



この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から 6 0 日以内に意見書を提出して下さい。

理 由

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第 2 9 条第 2 項の規定により特許を受けることができない。

記

< 刊行物一覧 >

- 1 ✓ 特開平 1 1 - 9 7 6 2 8 号公報
- 2 ✓ 特開平 1 1 - 2 0 4 7 4 0 号公報
- 3 ✓ 特開平 1 1 - 3 1 2 7 8 5 号公報
- 4 ✓ 特開 2 0 0 0 - 6 8 4 5 8 号公報
- 5 ✓ 特開平 5 - 2 9 4 6 4 号公報

・ 請求項 1 について：対応する刊行物は 1

(備考)

刊行物 1 の図 1 ～図 4 と説明文（本文第 4 5 段落～第 6 5 段落）には、以下のような発明が記載されている。

外部基準電位（図 1 や図 3 において「基準電圧発生回路 3 1」が発生している電圧 V_{ref2} のこと）に基づいて複数の内部基準電位（図 1 や図 4 において「内部電圧発生回路 2 1、2 3、・・・」がそれぞれ発生している電圧「 V_{ref3} 」のこと）を出力する基準電位変換回路（「内部電圧発生回路 2 1、2 3、・・・」）と、

前記基準電位変換回路の出力電位（「V r e f 3」）を基準電位として、入力信号（「V I N」）と「e f 3」）を比較判定した判定結果（「V O U T」）を出力する入力回路（11、13、15、17、19のこと。回路図は図2に示されている。）と、

から構成される半導体集積回路。

本願請求項1に係る発明（特に、請求項1の発明において、「n」=2とした時の発明）と刊行物1に記載された上記発明とに、格別相違は認められない。

（「n」≥3とした時の発明についてであるが、当該発明と、上記刊行物1記載の発明との間に、当業者が必要に応じて適宜なし得る設計的事項の範疇を越えるような格別な構成上の差違は認められないから、請求項1の発明における $n \geq 3$ の場合の発明も、刊行物1記載の発明に基づいて、当業者が容易に発明することができたものと認められる。）

・ 請求項2：刊行物は1、2

（備考）

請求項2の記載は、「基準電位変換回路」として、第9図に記載されているような構成の回路を採用した場合に生じる、V R E F i と V R E F との関係を表現したものであると認められる。

しかし刊行物2の第4図と説明文（本文第52段落～第57段落）にも記載されているように、一般に、ある基準電圧を元に、該基準電圧とは異なる電圧を作り出そうとする際に、オペアンプ（45）や抵抗素子（11）などを用いた回路（すなわち、本願第9図に記載されている回路と同様な構成の回路）を用いることは、当業者にとってはきわめて周知な技術である。

そして、この周知技術を刊行物1記載の発明に適用することに（すなわち、刊行物1の図1における「内部電圧発生回路21、23、・・・」の具体的な回路構成として、同刊行物の図4に記載された構成の代わりに、刊行物2の第4図に記載された回路を採用すること）に、格別な困難性は認められないから、本願請求項2に係る発明は、刊行物1記載の発明と、刊行物2記載の周知技術とに基づいて、当業者が容易に発明することができたものと認められる。

・ 請求項3：刊行物は1、3

（備考）

請求項3の記載は、「基準電位変換回路」として、第2図に記載されているような構成を有する回路を採用した場合に生じる、V R E F i と V R E F との関係を表現したものであると認められる。

しかし、刊行物3の第1図（抵抗素子R1、R2、R3、R4からなる分圧回路が、「基準電位」から所望の電圧「V R E F A」を作成している点を参照され

たい。)にも記載されているように、一般に、ある基準電圧を元に、該基準電圧とは異なる電圧を作り出そうとする際に、本願第2図の実施例と同様、抵抗素子を用いた分圧回路を採用することは、当業者にとってはきわめて周知な技術である。

そして、この周知技術を刊行物1記載の発明に適用することに(すなわち、刊行物1の図1における「内部電圧発生回路21、23、・・・」の具体的な回路構成として、図4に記載された構成の代わりに、刊行物2の第1図に記載されている回路を採用すること)に、格別な困難性は認められないから、本願請求項3に係る発明は、刊行物1記載の発明と、刊行物3記載の周知技術とに基づいて、当業者が容易に発明することができたものと認められる。

・請求項4：刊行物は1－3

(備考)

請求項4の記載は、本願明細書の本文第48段落の記載に基づくものであると認められる。

すなわち、本願請求項4における「基準電位変換回路」は、本願第2図に開示された変換回路と、第9図に開示された変換回路とを、組み合わせることによって構成される回路であるものと認められる。

しかし、上述したごとく、本願第2図に開示された回路や、第9図に開示された回路は、刊行物3および2にそれぞれ記載されているように周知技術である。

そしてさらに、この両技術を組み合わせることに、格別な困難性が存在しても認められないから、本願請求項4に係る発明は、刊行物1記載の発明において、刊行物2に記載された技術と刊行物3に記載された両技術を適用することによって、当業者が容易に発明することができたものと認められる。

・請求項5：刊行物は1、2

(備考)

本願請求項5に係る発明と刊行物1(の図1～図4)に記載された発明とは、次に挙げる点で相違が認められる。

本願請求項5の発明における「基準電位変換回路」は、「記憶回路」に蓄えられたデータに基づいて、その変換動作が制御されるのに対し、刊行物1には、その第4図に記載された電圧変換回路の変換動作が、何らかの記憶手段によって記憶されたデータに基づいて制御されるとは記載されていない点。

しかしながら、刊行物2の第4図にも記載されているように、一般に電圧変換回路において、記憶手段(「レジスタ44」)に記憶されたデータに基づき、その変換動作を制御させることは、きわめて周知な慣用技術である。

この技術を、刊行物1に記載された発明に適用することに、格別な困難性は認められないから、本願請求項5に係る発明は、刊行物1記載の発明と、刊行物2

記載の周知技術とに基づいて、当業者が容易に発明することができたものと認められる。

・請求項 6：刊行物は 1、2、4

(備考)

本願請求項 6 に係る発明と刊行物 1 (の図 1～図 4) に記載された発明とは、次に挙げる点で相違が認められる。

本願請求項 6 の発明における「基準電位変換回路」は、「レーザブローヒューズ」に蓄えられたデータに基づいた変換動作を行うのに対し、刊行物 1 には、その第 4 図に記載された電圧変換回路の変換動作が、何らかの記憶手段において記憶されたデータに基づいて制御されるとは記載されていない点。

しかしながら、前述のごとく、刊行物 2 の第 4 図には、一般に電圧変換回路に対し、記憶手段(「レジスタ 44」)に記憶されたデータに基づいた変換動作を行わせる技術が記載されており、さらに、刊行物 4 の第 2 図と本文第 36 欄や第 43 欄に記載されているように、記憶手段として、レーザによって溶断されるヒューズを用いて構成される記憶手段を採用することは、きわめて周知な技術である。

これら周知技術を、刊行物 1 に記載された発明に適用すること(すなわち、刊行物 1 の第 1 図における「内部電圧発生回路 21、23、・・・」の具体構成として、刊行物 2 の第 4 図に記載された回路を採用し、その際に、同刊行物 2 の第 4 図における「レジスタ 44」の代わりに、刊行物 4 に記載されているようなヒューズで構成された記憶手段を採用すること)に、格別な困難性は認められないから、本願請求項 6 に係る発明は、刊行物 1 記載の発明と、刊行物 2、4 にそれぞれ記載された各周知技術とに基づいて、当業者が容易に発明することができたものと認められる。

・請求項 7、8：刊行物は 1、2、4、5

(備考)

一般にヒューズとして「電流溶断型ヒューズ」や「絶縁膜破壊型ヒューズ」を採用することは、きわめて周知な慣用技術である。

(必要であれば、刊行物 2 の第 9 図および本文第 8 欄の記載や、刊行物 5 の図 4～図 6 や本文第 3 欄～第 5 欄を参照。)

・請求項 9：刊行物は 1、2

(備考)

刊行物 2 の図 4 に記載された装置において用いられている記憶手段(「レジス

タ44」)に記憶されているデータも、本願と同様、書き換え手段(「S/P変換回路44a」)によって書き換え可能となっている。

・請求項10:刊行物は1

(備考)

刊行物1に記載された発明における入力回路(「入力回路11」。図2参照。)
)もまた、クロック信号「Φ」のエッジタイミングで比較動作を行っている。

・請求項11:刊行物は1

(備考)

刊行物1の図1～図4と説明文(本文第45段落～第65段落)には、以下の
ような発明が記載されている。

外部基準電位(Vref2)に基づいて内部基準電位を出力する基準電位変換回路(たとえば21)と、該基準電位変換回路の出力電位(「Vref3」)を基準電位として、入力信号(「VIN」)と該基準電位(「Vref3」)とを比較判定し、判定結果を出力する入力回路(11)とをそれぞれ有する複数の半導体集積回路。

(図1を参照すれば明らかなように、「入力回路11」と「内部電圧発生回路21」のペアからなる半導体装置の他にも、13と23のペア、15と25のペアなど、複数の半導体装置が「半導体装置1000」内に設けられている。)

したがって、本願請求項11の発明と刊行物1に記載された発明とは、以下の点で相違が認められる。

(1) 本願請求項11の発明では、複数の半導体装置が「マザーボード」上に搭載されているが、刊行物1にはそのような記載は無い点。

(2) 本願請求項11の発明における上記「マザーボード」には、「入出力端子部」や「データ信号線」や「外部基準信号線」が設けられているのに対し、刊行物1にはそのような記載はもちろん無い点。

次に上記相違点について検討する。

(1) 一般に半導体装置をマザーボード上に搭載することは、例示するまでもなくきわめて周知な慣用技術である。

(2) マザーボード上に入出力端子を設けることや、該入出力端子から入力された信号を半導体装置に供給するための信号線を設けることも、きわめて周知な慣用技術である。

以上の周知技術を刊行物1の発明に適用することに、格別な困難性は認められないから、本願請求項11に係る発明は、刊行物1記載の発明に基づいて、当業

者が容易に発明することができたものと認められる。

拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

先行技術文献調査結果の記録

・ 調査した分野 I P C 第 7 版

H 0 3 K 1 9 / 0 0

・ 先行技術文献

○特開昭 5 7 - 3 1 2 5 2 号公報 (第 2 図や第 3 図参照。本願第 8 図に記載された実施例に関連する先行技術文献。)

○特開昭 5 3 - 8 7 1 8 5 号公報 (第 1 図参照。本願第 1 1 図における抵抗 5 0 ~ 5 2 やスイッチ 4 7 ~ 4 9 に関連する先行文献である。)

○特開平 6 - 3 0 2 7 7 5 号公報 (第 1 ページの要約欄を参照。本願請求項 8 に関連する先行文献。)

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。